

(19)

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 100272507 B1
(43)Date of publication of application: 28.08.2000

(21)Application number: 1019970063822
(22)Date of filing: 28.11.1997

(71)Applicant: HYUNDAI MICRO
ELECTRONICS CO., LTD.
(72)Inventor: PARK, JONG SEONG

(51)Int. Cl H01L 21/336

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A method for manufacturing a semiconductor device is provided to prevent a leakage current or punch-through, by forming a buried oxide layer in a portion under a source/drain region, or by forming an impurity layer by using inert gas.

CONSTITUTION: A gate insulating layer and a conductive layer are formed on a semiconductor substrate(41) of the first conductivity type. The conductive layer and the gate insulating layer are selectively patterned to form a gate electrode(45). Impurity ions are tilt-implanted into the semiconductor substrate under both side surfaces of the gate electrode. Low and high density impurity ions of the second conductivity type are implanted to a depth shallower than that of the tilt ion-implantation, and diffused to form a source/drain region and a buried insulating layer(47a) under the source/drain region.

COPYRIGHT 2001 KIPO

Legal Status

Date of final disposal of an application (20000612)

Patent registration number (1002725070000)

Date of registration (20000828)

특 1999-0042891

(19) 대한민국특허청(KR)
 (12) 공개특허공보(A)

(51) Int. Cl.⁶
 H01L 21/36

(11) 공개번호 특 1999-0042891
 (43) 공개일자 1999년 06월 15일

(21) 출원번호	10-1997-0063822
(22) 출원일자	1997년 11월 28일
(71) 출원인	엘지반도체 주식회사 구본준 충청북도 청주시 흥덕구 흥평동 1번지
(72) 발명자	박종성 충청북도 청주시 흥덕구 신봉동 주공아파트 124-407
(74) 대리인	김용민, 강용복

설명구 : 있을

(54) 반도체소자의 제조방법

요약

반도체소자의 제조방법에 관한 것으로 특히, 누설전류 및 편치스루 방지에 적당한 반도체소자의 제조방법에 관한 것이다. 이와 같은 반도체소자의 제조방법은 제 1 도전형 반도체기판에 게이트 절연막과 전도층을 형성하는 단계, 상기 전도층과 게이트 절연막을 선택적으로 패터닝하여 게이트 전극을 형성하는 단계, 상기 게이트 전극 양측면 하부의 상기 반도체기판에 불순물 이온을 틸트 주입하는 단계, 상기 틸트 이온주입보다 얇은 깊이로 제 2 도전형 저농도 및 고농도 불순물 이온을 주입하고 확산하여 소오스/드레인 영역 및 상기 소오스/드레인 영역 아래에 매몰 절연막을 형성하는 단계를 포함한다.

도표도

도 3d

증세서

도면의 간단한 설명

도 1a 내지 도 1d는 증례 한예에 따른 반도체소자의 제조공정 단면도
 도 2a 내지 도 2d는 증례 다른 예에 따른 반도체소자의 제조공정 단면도
 도 3a 내지 도 3d는 본 발명 제 1 실시예에 따른 반도체소자의 제조공정 단면도
 도 4a 내지 도 4d는 본 발명 제 2 실시예에 따른 반도체소자의 제조공정 단면도
 도면의 주요부분에 대한 부호의 설명

41 : 반도체기판	42 : 필드산화막
43 : 제 1 도전형 웨이 영역	44 : 게이트 산화막
45 : 게이트 전극	46 : 캡 게이트 산화막
47a : 매몰 산화막	48 : 제 2 도전형 저농도 불순물 영역
49 : 절화막	50 : 산화막
51 : 흑색 스페이서	52 : 제 2 도전형 고농도 불순물 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체소자의 제조방법에 관한 것으로 특히, 누설전류 및 편치스루 방지에 적당한 반도체소자의 제조방법에 관한 것이다.

모스(MOS : Metal Oxide Semiconductor) 기술은 실리콘 반도체 표면을 양질의 절연특성을 가진 실리콘 산화막으로 처리하는 것으로서 트랜지스터의 특성 및 제조방법에 혁신적인 개량을 가져온 기술이다. 이 모스(MOS) 기술의 발명으로 반도체 표면 디바이스의 실용화에 박차가 가해져서 전계효과 트랜지스터(FET : Field Effect Transistor)가 발표되었다.

미리한 모스펫(MOSFET) 소자로는 피모스(pMOS), 엔모스(nMOS) 그리고 씨모스(CMOS)가 있다. 모스소자는 초기에는 소비전력 및 접적회로 제조시 프로세스 콘트롤이 비교적 용이한 피모스(pMOS) 소자를 주로 사용하였으나 소자의 스피드를 중요시하게 될 때 따라 캐리어의 이동도(mobility)가 정공의 이동도(mobility)보다 약 2.5배 정도 빠른 이동도(mobility)를 갖고 있는 전자를 이용하는 엔모스(nMOS) 소자를 이용하게 되었다. 그리고 씨모스(CMOS) 소자는 진적밀도와 제조 프로세스가 복잡하다는 점에서는 피모스(pMOS)나 엔모스(nMOS) 소자 보다는 떨어지지만 소비전력이 아주 적다는 특징이 있다. 현재는 소자의 메모리부는 엔모스를 사용하고 주변회로부에서는 씨모스를 사용하는 방식으로 바뀌고 있다.

미리한 모스소자는 고집적화 및 고속화를 위해 점차로 소자의 크기 그 중에서, 채널(channel)의 길이를 줄여 제조하였다. 그 결과 채널길이의 축소(short channel)에 따른 드레인 공핍영역의 증가에 따라 채널 접합과 상호 작용하여 전위장벽을 낮추는 드레인 유기장벽 감소(DIBL : Drain Induced Barrier Lowering)의 문제가 발생하였다. 또한 소오스와 드레인 공핍영역의 침투가 심해져서 두 공핍영역이 만나는 펀치 스루(punch through) 효과가 발생하여 누설전류가 증가하는 등의 문제도 발생하였다. 또한 소오스와 드레인 영역의 간격이 줄어들게 될 때 따라 소오스에서 인가된 전자가 드레인 접합의 가장자리(pinch off) 근처의 높은 전기장(hot electron field)에 의해 급격하게 가속되어 발생하는 핫 캐리어(hot carrier)에 취약한 구조를 갖게 되었다.

이렇게 발생한 핫 캐리어는 게이트 절연막으로 주입되어 다시 기판쪽으로 흘러 큰 기판 전류를 발생하게 되었다. 따라서 줄어든 채널길이를 유지하여 핫 캐리어에 취약한 모스 트랜지스터를 개선한 LDD(Lightly Doped Drain) 구조의 모스 트랜지스터가 제안되었다.

LDD 구조의 특징은 자기정렬(self align)된 저농도 불순을 영역(LDD : Lightly Doped Drain 영역)이 채널 영역과 고농도 불순을 영역(소오스/드레인 영역) 사이에 위치한 구조이다. 이러한 저농도 불순을 영역이 드레인 접합 근처에서 높은 전기장을 퍼지게(spreadout)하여 높은 인가전압에서도 소오스로부터 인가된 캐리어가 급격히 가속되지 않게 하여 핫 캐리어에 의한 전류의 불안정성을 해결한 것이다.

이와 같은 증래 반도체소자의 제조방법을 첨부된 도면을 참조하여 설명하기로 한다.

도 1a 내지 도 1d는 증래 한예에 따른 반도체소자의 제조공정 단면도이다.

먼저, 도 1a에 나타낸 바와 같이, 반도체기판(1)에 통상의 로코스공정을 사용하여 소정거리에 필드산화막(2)을 형성한 다음, 역시 통상의 공정을 사용하여 상기 반도체기판(1)에 웰 영역(3)을 형성한다. 미어서, 상기 반도체기판(1) 전면에 게이트 산화막(4)을 형성한 다음 상기 게이트 산화막(4)상에 폴리실리콘층과 게이트 산화막(6)을 형성한 다음 선택적으로 패터닝(포토리소그래피공정 + 식각공정)하여 게이트 전극(5)을 형성한다.

도 1b에 나타낸 바와 같이, 상기 게이트 전극(5) 양측면 하부의 반도체기판(1)에 저농도 불순을 미온을 주입하고 확산하여 저농도 불순을 영역(7)을 형성한다.

도 1c에 나타낸 바와 같이, 상기 게이트 전극(5)을 포함한 상기 기판 전면에 질화막(8)과 산화막(9)을 증착한 다음 에치백하여 상기 게이트 전극(5)의 양측면에 질화막(8)과 산화막(9)으로 구성된 측벽 스페이서(10)를 형성한다.

도 1d에 나타낸 바와 같이, 상기 게이트 전극(5) 및 산화막(8)과 질화막(9)으로 구성된 측벽 스페이서(10)를 마스크로 이용하여 고농도 불순을 미온을 상기 반도체기판(1)에 주입한 후 열처리하여 확산시켜 고농도 불순을 영역(11)을 형성한다. 이때, 상기 고농도 불순을 영역(11)은 소오스/드레인 영역이다.

도 2a 내지 도 2d는 다른 예에 따른 반도체소자의 제조공정 단면도이다.

먼저, 도 2a에 나타낸 바와 같이, 반도체기판(21)에 통상의 로코스공정을 사용하여 필드산화막(22)을 형성한 다음, 역시 통상의 공정을 사용하여 상기 반도체기판(21)에 제 1 도전형 웰 영역(23)을 형성한다. 미어서, 상기 반도체기판(21) 전면에 게이트 산화막(24)을 형성한 다음 상기 게이트 산화막(24)상에 폴리 실리콘층과 게이트 산화막(26)을 형성한 다음 선택적으로 패터닝(포토리소그래피공정 + 식각공정)하여 게이트 전극(25)을 형성한다.

도 2b에 나타낸 바와 같이, 상기 반도체기판(21) 전면에 상기 제 1 도전형 웰 영역(23)과 동일 도전형의 불순을 미온을 주입한다. 즉, 헬로(halo)미온 주입공정을 실시하여 상기 게이트 전극(25) 하부의 소정영역 및 게이트 전극(25) 양측면 하부에 상기 제 1 도전형 웰 영역(23)과 동일 도전형을 갖는 제 1 도전형 불순을 영역(27)을 형성한다. 그다음, 상기 제 1 도전형 웰 영역(23)과 반대 도전형의 저농도 불순을 미온을 주입하고 확산하여 제 2 도전형 저농도 불순을 영역(28)을 형성한다. 이때, 상기 제 1 도전형 불순을 영역(27)보다 깊이로 주입한다.

도 2c에 나타낸 바와 같이, 상기 게이트 전극(25)을 포함한 상기 기판 전면에 질화막(29)과 산화막(30)을 증착한 다음 에치백하여 상기 게이트 전극(25)의 양측면에 질화막(29)과 산화막(30)으로 구성된 측벽 스페이서(31)를 형성한다.

도 2d에 나타낸 바와 같이, 상기 게이트 전극(25) 및 측벽 스페이서(31)를 마스크로 이용하여 제 2 도전형 고농도 불순을 미온을 상기 반도체기판(21)에 주입한 후 열처리하여 확산시켜 제 2 도전형 고농도 불순을 영역(32)을 형성한다. 이때, 상기 제 2 도전형 고농도 불순을 영역(32)은 소오스/드레인 영역으로 상기 게이트 전극(25) 양측면 하부의 제 1 도전형 웰 영역(23)에 형성된 제 1 도전형 불순을 영역(27)보다 깊은 깊이로 확산되어 상기 제 1 도전형 불순을 영역(27)이 게이트전극(25)의 하부에만 소정거리로 형성되어 있는 것을 알 수 있다.

증명이 이루고자 하는 기술적 과정

증래 반도체소자의 제조방법에 있어서는 다음과 같은 문제점이 있었다.

첫째, 증래 한예에 따른 반도체소자의 제조방법에 있어서는 0.3㎛급 미하 반도체소자의 경우에 있어서 소

オス/드레인 영역 하부의 별크 및 채널방향으로 누설전류가 발생하거나 편치 스루가 발생하는 것을 억제하지 못하여 반도체소자의 신뢰도가 저하되는 문제점이 있었다.

둘째, 종래 다른 반도체소자의 제조방법에 있어서는 소오스/드레인 영역과 반대도전형의 불순을 영역을 소오스/드레인 영역의 하부에 헬로 구조로 형성하여 누설전류를 방지하고자 하였으나 고농도로 주입되어 형성되는 소오스/드레인 영역에 의해 게이트 전극 양측면 하부에 형성된 헬로 구조의 불순을 영역이 제거되어 0.3~0.5μm 이하 반도체소자의 누설전류 발생을 억제하기에 충분하지 못하였다.

본 발명은 상기한 바와 같은 종래 반도체소자 제조방법의 문제점을 해결하기 위하여 만족한 것으로 소오스/드레인 영역의 하부에 매몰 산화막을 형성하거나 비활성가스로 불순물을 흡수하여 누설전류나 편치 스루를 방지하기에 적당한 반도체소자의 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

본 발명에 따른 반도체소자의 제조방법은 제 1 도전형 반도체기판상에 게이트 절연막과 전도층을 형성하는 단계, 상기 전도층과 게이트 절연막을 선택적으로 패터닝하여 게이트 전극을 형성하는 단계, 상기 게이트 전극 양측면 하부의 상기 반도체기판에 불순을 미온을 틸트 주입하는 단계, 상기 틸트 미온주입보다 일은 깊이로 제 2 도전형 저농도 및 고농도 불순을 미온을 주입하고 확산하여 소오스/드레인 영역 및 상기 소오스/드레인 영역 아래에 매몰 산화막을 형성하는 단계를 포함한다.

마와 같은 본 발명 반도체소자의 제조방법을 첨부된 도면을 참조하여 설명하기로 한다.

도 3a 내지 도 3d는 본 발명 제 1 실시예에 따른 반도체소자의 제조공정 단면도이다.

먼저, 도 3a에 나타낸 바와 같이, 반도체기판(41)에 통상의 로코스공정을 사용하여 필드산화막(42)을 형성한다음, 역시 통상의 공정을 사용하여 상기 반도체기판(41)에 제 1 도전형 웨이 영역(43)을 형성한다. 이어서, 상기 반도체기판(41) 전면에 게이트 산화막(44)을 형성한다음 상기 게이트 산화막(44)상에 폴리실리콘층과 캡 게이트 산화막(46)을 형성한다음 선택적으로 패터닝(포토리소그래피공정 + 식각공정)하여 게이트 전극(45)을 형성한다.

도 3b에 나타낸 바와 같이, 상기 반도체기판(41)전면에 틸트 미온 주입공정으로 상기 게이트 전극(45) 하부 소정영역 및 게이트 전극(45) 양측면에 제 1 불순을 미온 주입 영역(47)을 형성한다. 이어서, 상기 반도체기판(41)전면에 상기 제 1 도전형 웨이 영역(43)과 반대도전형의 불순을 미온을 주입하고 확산하여 제 2 도전형 저농도 불순을 미온 주입 영역(48)을 형성한다. 이때, 상기 제 1 도전형 불순을 영역(47)보다 깊이로 주입한다. 그리고, 상기 제 1 불순을 미온은 산소 미온을 주입한다. 그리고, 상기 제 1 불순을 미온 주입 영역(47)에 대한 미온 주입공정은 상기 제 2 도전형 저농도 불순을 미온 주입 영역(48)을 형성하기 위한 미온 주입공정후에 실시할 수 있다.

도 3c에 나타낸 바와 같이, 상기 게이트 전극(45)을 포함한 상기 기판 전면에 질화막(49)과 산화막(50)을 증착한다음 예치백하여 상기 게이트 전극(45)의 양측면에 질화막(49)과 산화막(50)으로 구성된 측벽 스페이서(51)를 형성한다.

도 3d에 나타낸 바와 같이, 상기 게이트 전극(45) 및 측벽 스페이서(51)를 마스크로 이용하여 제 2 도전형 고농도 불순을 상기 반도체기판(41)에 주입한후 열처리하여 확산시켜 제 2 도전형 고농도 불순을 영역(52)을 형성한다. 이때, 상기 제 2 도전형 저농도 불순을 영역(48)의 불순을 미온 역시 확산되며, 상기 제 1 불순을 미온 주입 영역(47)에 주입된 산소 미온도 확산하여 매몰 산화막(47a)이 형성된다. 그리고, 상기 제 2 도전형 고농도 불순을 영역(52)은 소오스/드레인 영역으로 상기 게이트 전극(45) 양측면 하부의 제 1 도전형 웨이 영역(43)에 형성된 매몰 산화막(47a)에 의해 확산이 저지된다.

도 4a 내지 도 4d는 본 발명 제 2 실시예에 따른 반도체소자의 제조공정 단면도이다.

먼저, 도 4a에 나타낸 바와 같이, 반도체기판(61)에 통상의 공정을 사용하여 필드산화막(62), 제 1 도전형 웨이 영역(63)을 형성한다. 이어서, 상기 반도체기판(61) 전면에 게이트 산화막(64), 폴리실리콘층 및 캡 게이트 산화막(66)을 형성한다음 선택적으로 패터닝(포토리소그래피공정 + 식각공정)하여 게이트 전극(65)을 형성한다.

도 4b에 나타낸 바와 같이, 상기 반도체기판(61)전면에 틸트 미온 주입공정으로 상기 게이트 전극(65) 하부 소정영역 및 게이트 전극(65) 양측면에 제 1 불순을 미온 주입 영역(67)을 형성한다. 이어서, 상기 반도체기판(61)전면에 상기 제 1 도전형 웨이 영역(63)과 반대도전형의 불순을 미온을 주입하고 확산하여 제 2 도전형 저농도 불순을 미온 주입 영역(68)을 형성한다. 이때, 상기 제 1 도전형 불순을 영역(67)보다 깊이로 주입한다. 그리고, 상기 제 1 불순을 미온은 비활성 기체를 주입한다. 즉, 8족 원소(예를 들면, 아르곤(Argon), 헬륨(Helium))를 주입한다. 그러면, 상기 제 2 도전형 저농도 불순을 영역(68)은 무결정(amorphous)상태가 된다. 그리고, 상기 제 1 불순을 미온 주입 영역(67)에 대한 미온 주입공정은 상기 제 2 도전형 저농도 불순을 미온 주입 영역(68)을 형성하기 위한 미온 주입공정후에 실시할 수 있다.

도 4c에 나타낸 바와 같이, 상기 게이트 전극(65)을 포함한 상기 기판 전면에 질화막(69)과 산화막(70)을 증착한다음 예치백하여 상기 게이트 전극(65)의 양측면에 질화막(69)과 산화막(70)으로 구성된 측벽 스페이서(71)를 형성한다.

도 4d에 나타낸 바와 같이, 상기 게이트 전극(65) 및 측벽 스페이서(71)를 마스크로 이용하여 제 2 도전형 고농도 불순을 미온을 상기 반도체기판(61)에 주입한후 열처리하여 확산시켜 제 2 도전형 고농도 불순을 영역(72)을 형성한다. 이때, 무결정 상태의 제 2 도전형 웨이 영역(63)이 결정화되며, 결정화된 상기 제 2 도전형 웨이 영역(63)에 형성된 상기 제 2 도전형 저농도 불순을 영역(68)의 불순을 미온이 확산된다. 하지만 비활성기체층의 제 1 불순을 미온 주입 영역(67)이 확산되며 불순물층(67a)이 형성되기 때문에 제 1 불순을 미온 주입 영역(67)의 하부 및 측면으로는 확산되지 못한다.

발명의 요지

본 발명 제 1, 제 2 실시예에 따른 반도체소자의 제조방법에 있어서는 소오스/드레인 영역으로 사용되는 불순을 영역 아래에 매몰 산화막을 형성하거나 비활성 기체를 주입하여 불순물층을 형성하므로 0.3~ μ m 미하의 미세 반도체소자에 있어서도 누설전류의 발생을 방지함과 동시에 편치스루를 방지하여 신뢰도 높은 반도체소자의 제조방법을 제공할 수 있는 효과가 있다.

(5) 청구의 범위**청구항 1**

제 1 도전형 반도체기판상에 게이트 절연막과 전도층을 형성하는 단계;

상기 전도층과 게이트 절연막을 선택적으로 패터닝하여 게이트 전극을 형성하는 단계;

상기 게이트 전극 양측면 하부의 상기 반도체기판에 불순을 이온을 틸트 주입하는 단계;

상기 틸트 이온주입보다 얕은 깊이로 제 2 도전형 저농도 및 고농도 불순을 이온을 주입하고 확산하여 소오스/드레인 영역 및 상기 소오스/드레인 영역 아래에 매몰 절연막을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 2

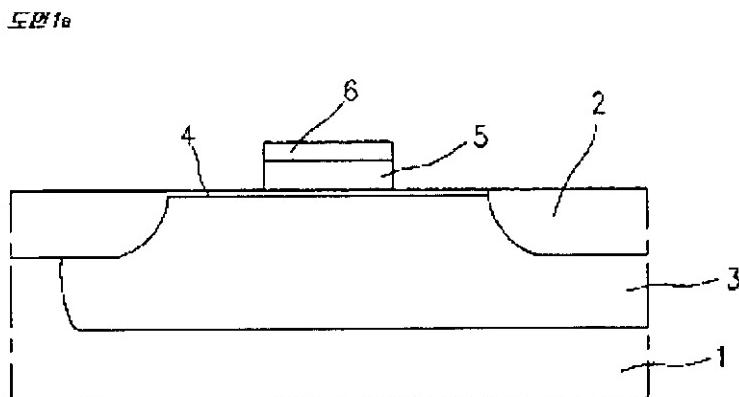
제 1 항에 있어서, 상기 불순을 이온은 산화막과 비활성기체중 어느 하나인 것을 특징으로 하는 반도체소자의 제조방법.

청구항 3

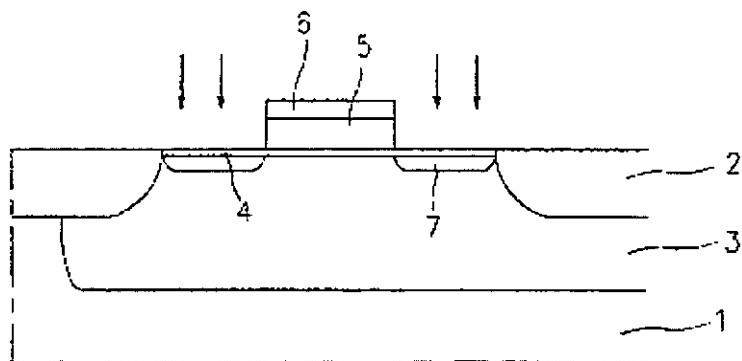
제 1 항에 있어서, 상기 매몰 절연막은 산화막인 것을 특징으로 하는 반도체소자의 제조방법.

청구항 4

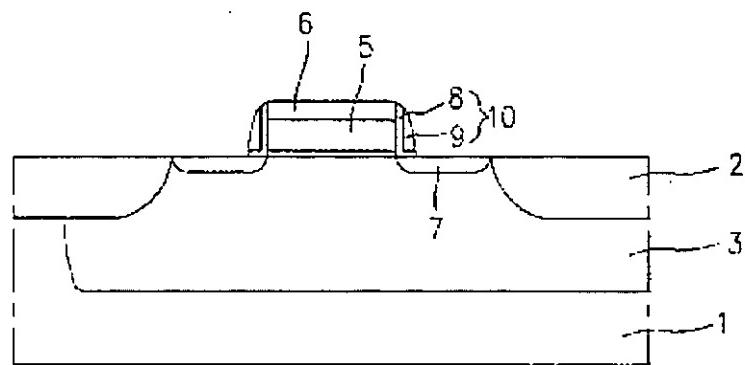
제 1 항에 있어서, 상기 비활성기체는 헬륨과 아르곤중 어느 하나인 것을 특징으로 하는 반도체소자의 제조방법.

도면

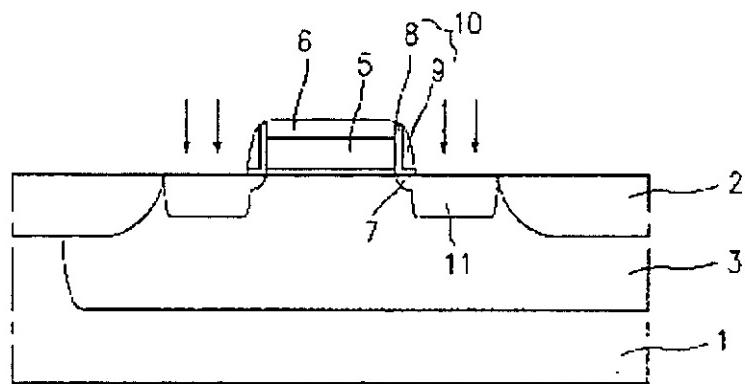
도면 1b



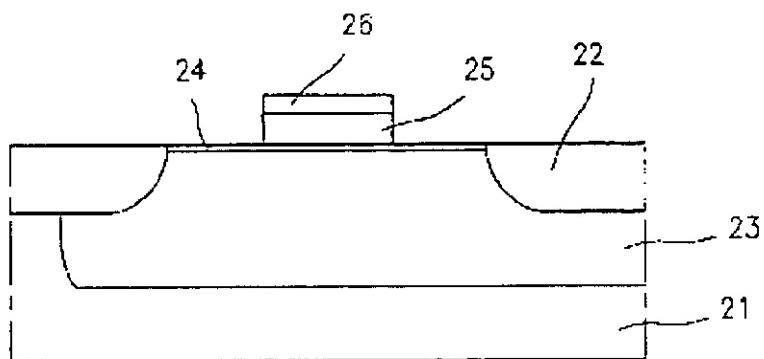
도면 1c



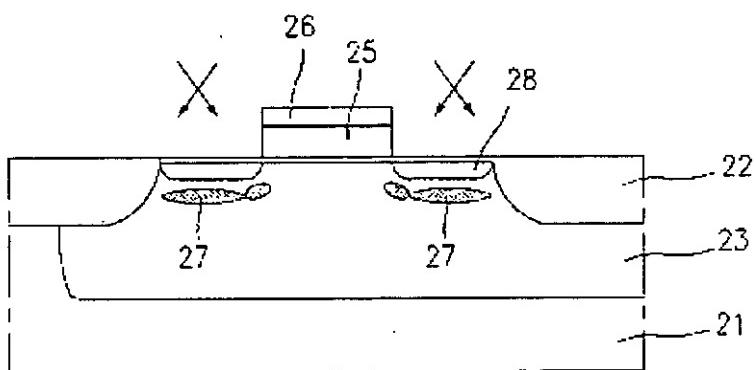
도면 1d



도면2a



도면2b



도면2c

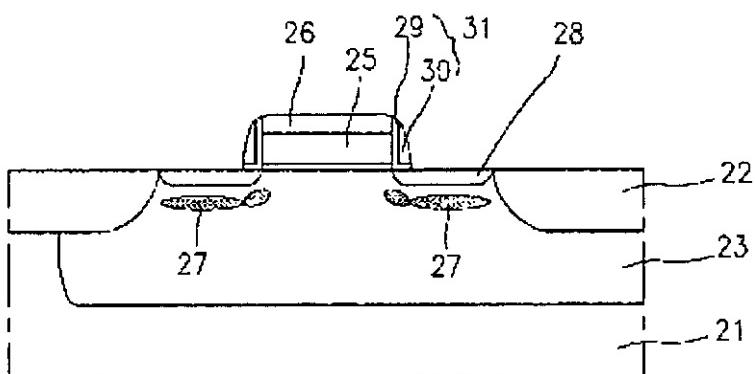


FIG2d

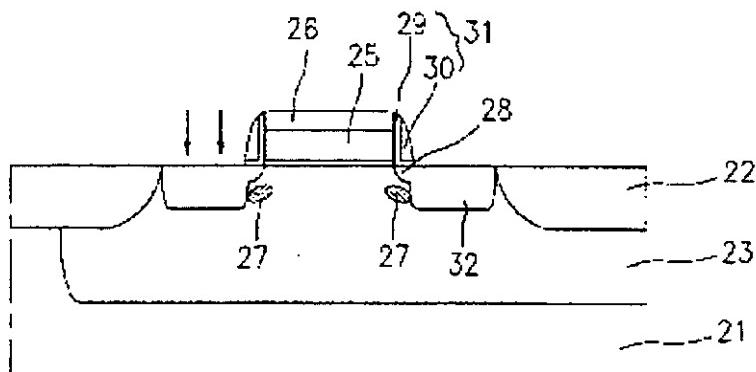


FIG3a

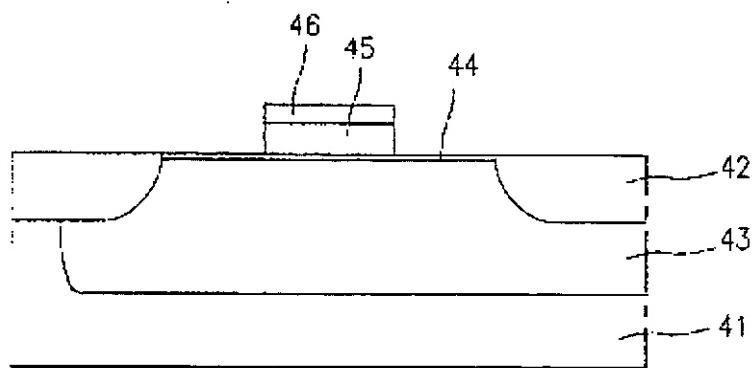
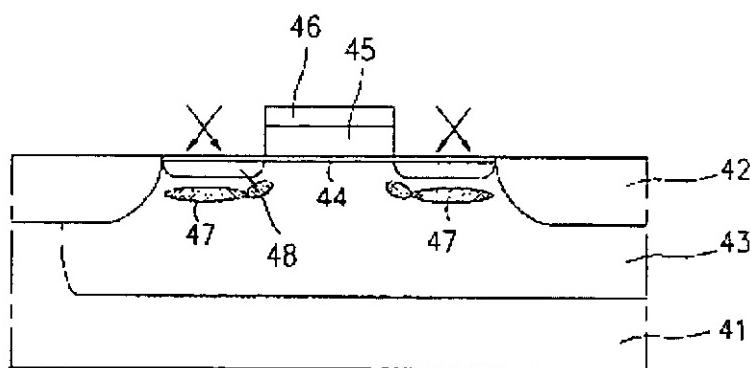
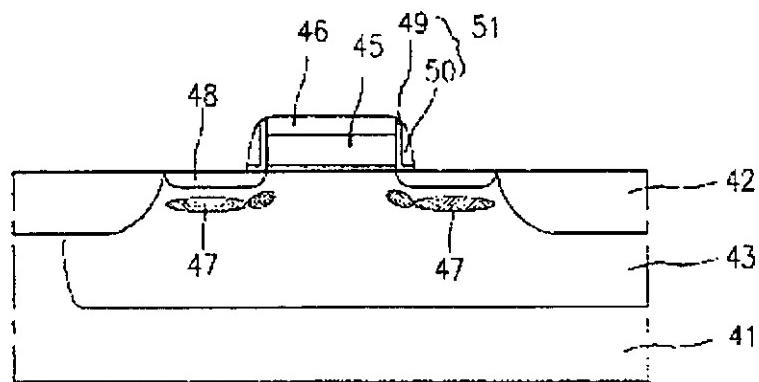


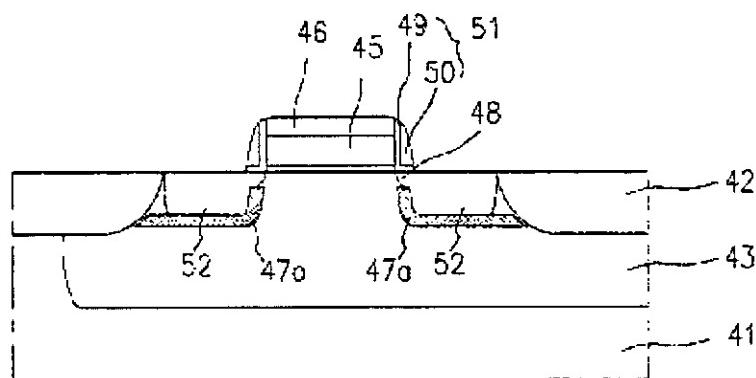
FIG3b



도면3a



도면3d



도면4a

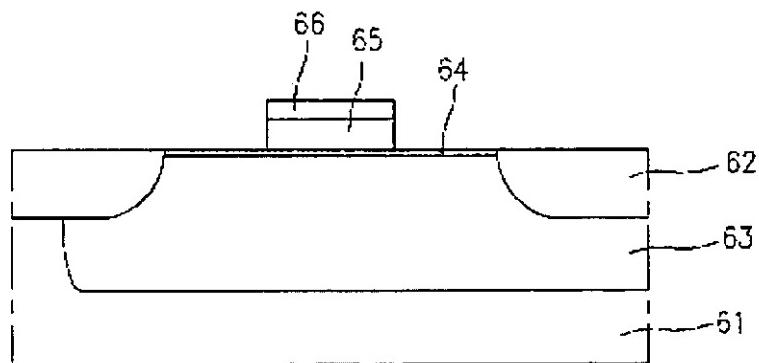


FIG4b

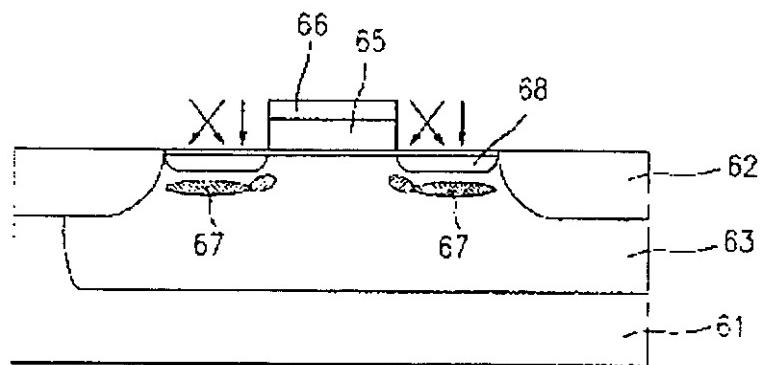


FIG4c

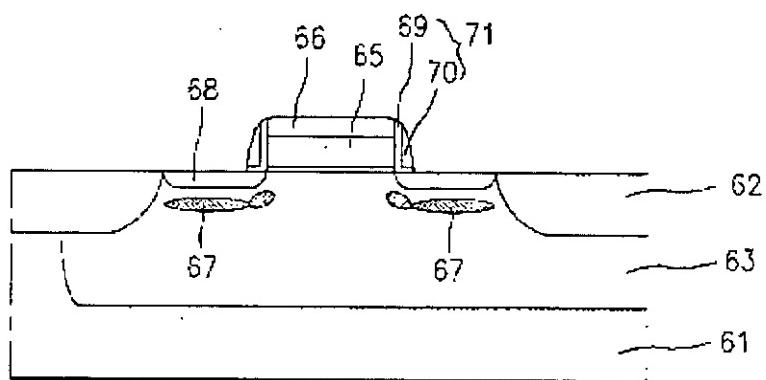


FIG4d

